

⑨ 日本国 許 庁 (J P)

⑩ 特 許 出 願 公 告

⑪ 特 許 公 報 (B 2) 平 4 - 17565

⑫ Int. Cl. *

H 03 K 5/00
G 06 F 5/06
13/42

識別記号

3 5 0

庁内整理番号

V 7125-5J
Z 8724-5B
A 8840-5B

⑬ 公告 平成 4 年 (1992) 3 月 28 日

発明の数 1 (全 4 頁)

⑭ 発明の名称 非同期信号の同期化方式

⑮ 特 願 昭 60 - 185482

⑯ 公 開 昭 62 - 45213

⑰ 出 願 昭 60 (1985) 8 月 22 日

⑱ 昭 62 (1987) 2 月 27 日

⑲ 発 明 者	西 町	良 市	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	村 田	雄 志	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	金 田	裕 之	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	野 田	敬 人	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	神 阪	裕 士	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	武 居	正 善	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	野 々 村	一 泰	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	上 村	明 利	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 発 明 者	桜 井	康 智	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 出 願 人	富士通株式会社 神奈川県川崎市中原区上小田中1015番地		
⑲ 代 理 人	弁理士 井 桁 貞一		
審 査 官	浅 見 保 男		

1

2

⑳ 特許請求の範囲

1 非同期信号を受信する第1のフリップフロップ回路1と該第1のフリップフロップ回路1の出力を受信して同期信号を作成する第2のフリップフロップ回路2とで構成し、前記第1のフリップフロップ回路1にクロックを選択する選択回路3を備え、第2のフリップフロップ回路2のクロックと2倍のクロックを選択して第1のフリップフロップ回路1のクロックとすることを特徴とする非同期信号の同期化方式。

発明の詳細な説明

〔概要〕

非同期信号の同期化方式であつて、非同期信号を第1のフリップフロップ回路に受け、第1のフリップフロップ回路の出力を第2のフリップフロップにて同期信号にする際に、第1のフリップフロップ回路のクロックを選択する回路を設ける構成とし、安定なクロック信号を得ることを可能とする。

10 〔産業上の利用分野〕

本発明は非同期信号を同期化する非同期信号の

同期化方式に関するものである。

情報処理、通信等の分野で非同期化信号から同期化信号を取り出す方式が広く用いられている。その一つとして2段のフリップフロップ回路を用いるものがある。一方、装置の処理速度を向上するために、正常な同期信号が容易に得られる非同期信号の同期化方式が要望されている。

〔従来の技術〕

従来、2段のフリップフロップ回路を用いた同期化方式は、第2図と第3図に示す回路にて行われている。即ち、非同期信号D1は、フリップフロップ回路1に入力され、フリップフロップ回路1の出力D2は、第2のフリップフロップ回路2の入力となる。第2のフリップフロップ回路2の出力D3が求める同期信号D3である。

第2図と第3図の異なる部分は、第1のフリップフロップ回路1を制御するクロック信号である。第2図は、第2のフリップフロップ回路2を制御するクロックCLKで第1のフリップフロップ回路1が制御され、第3図は2倍のクロック2CLKで

制御される。第2図で示すクロックCLKの場合は、第4図に示すタイムチャートで動作し、第3図に示すクロック2CLKの場合は第5図に示すタイムチャートで動作する。

即ち、クロックCLK(2CLK)の立下がりとは非同期信号D1の立上がりとは一致するような場合に、フリップフロップ回路1の出力信号D2はしばらく、図に示すA部のように不安定状態になる。この不安定状態から安定して論理“1”或いは、論理“0”となると、フリップフロップ回路2は2サイクル(15サイクル)で同期信号D3が得られる。

若し、装置の処理速度を向上する場合にクロックを高めたり、又使用する回路素子のばらつきがあると、第6図に示すようになり、同期信号D3は1.5サイクルの時に不安定状態となる。若し、この1.5サイクル時の信号を装置の他部で使用していると障害を発生するので、処理速度を遅くせねばならない。

〔発明が解決しようとする問題点〕

従来の方式では、処理速度を向上するために、クロックを速くし、回路素子の影響もあつて初期の目的とする同期信号が得られないと云うことが

生じた。

本発明はこのような点に鑑みて創作されたもので、簡易な構成で安定な同期信号の得られる非同期信号の同期化方式を提供することを目的としている。

〔問題点を解決するための手段〕

第1のフリップフロップ回路にクロックを選択する選択回路を付した構成とする。

〔作用〕

第2のフリップフロップ回路のクロックと2倍のクロックを選択回路が選択して、選択されたクロックで第1のフリップフロップ回路を動作する。本発明では、クロックを速くする場合には、選択回路で2倍クロックを選択するのみにて同期信号の制御が可能となる。

〔実施例〕

第1図は本発明の実施例のブロック図であつて、フリップフロップ回路1のクロック端子に選択回路として動作するマルチプレクス回路3を付設してある。

マルチプレクス回路3の入力は第2のフリップフロップ回路2のクロックCLKと同じクロックCLKと2倍のCLKである。このマルチプレクス回路3の操作はオペレータが例えば、スイッチ3-1を押下することによつて、2倍のCLKが第1のフリップフロップ回路1を制御する。

従つて、第6図の如く2CLKで動作していると、フリップフロップ回路1が不安定動作領域が大きく、フリップフロップ回路2の出力としてD3に不所望な出力が生じる時には、マルチプレクス回路3をスイッチ3-1で切り換え、CLKで動作させる。そうすれば、第5図と略同様の動作となり、不安定動作域に次のクロックが入らないので、不所望な信号がD3に現れることはなくなる。しかも処理速度の変更はスイッチ操作のみにて行なえる。

〔発明の効果〕

以上述べてきたように、本発明によれば、極めて簡易な構成で、処理速度の変更が安定度に基づいて行われ、クロック変更をする上で、極めて有効である。

図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は従来の1CLK時のブロック図、第3図は従来の

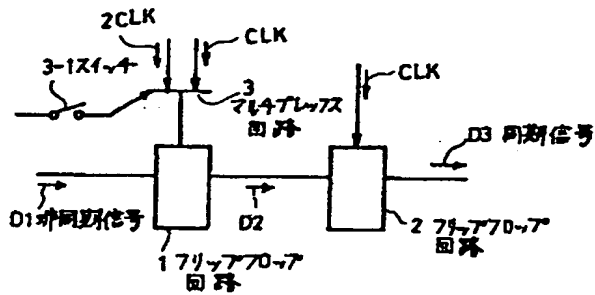
5

2CLK時のブロック図、第4図は1CLK時のタイムチャート、第5図は2CLK時のタイムチャート、第6図はクロックを速くした際のタイムチャートである。

6

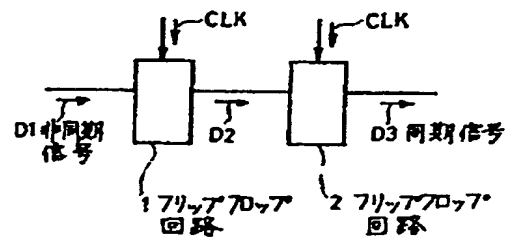
図において、1と2はフリップフロップ回路、3はマルチプレックス回路を示す。

第1図



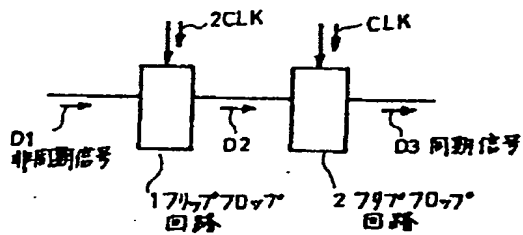
本発明の実施例の7077図

第2図



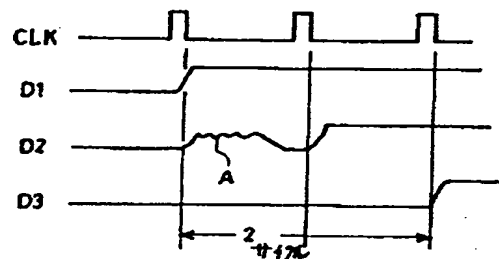
従来の1CLK時の7077図

第3図



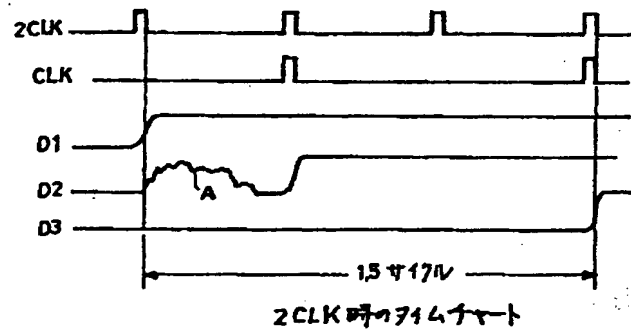
従来の1CLK時の7077図

第4図



1CLK時のタイムチャート

第5図



第6図

